

石英晶体振荡线路的回路分析与最佳化调整方法

引文:

石英晶体具有稳定的压电特性，能够提供精准且宽广的参考频率、频率控制、定时功能与过滤噪声等功能。此外，石英晶体也能做为运动，温度及压力等传感器，以及重要的光学组件。因此，对于电子产品而言，石英晶体扮演着举足轻重的地位。本文将介绍石英晶体振荡线路的回路分析与最佳调整。

正文:

石英晶体单元的主要用途之一，就是为电子产品提供计时、参考频率与频率控制等功能。这类应用对于输出频率的准确性有很高的要求，因此为了避免产品出厂后因石英晶体振荡电路系统的偏差，造成某些功能运作失常的现象，越来越多厂商开始重视晶体振荡线路的回路分析，希望了解自己的振荡线路的偏差范围，才能在设计阶段就先进行线路调整，以达到最佳的电气特性匹配。

振荡线路回路分析的目的:

一个晶体振荡线路必然会存在一定范围的误差，问题是如何了解这个误差范围，并将误差值控制在最小的范围以内。

振荡线路主要有三种误差来源:

第一种是石英晶体单元本身就存在有不同的精度（也就是容许误差），例如音叉型晶体的精度从 ± 10 到 ± 100 ppm 都有；而一般 AT 型晶体单元的精度约为 ± 50 ppm，高精度晶体单元约为 ± 10 ppm。

第二种误差来源是石英晶体的温度特性，也就是频率随温度变化会出现偏差的现象。石英频率会随温度变化而改变，这是因为石英材料在各个坐标轴向的热膨胀系数不同所致。当温度改变时，各轴向晶格距会产生些许变化，造成频率的偏移。我们在定义上会以室温 25°C 为相对零点，针对不同类型的晶体产品给出其温频特性。以 AT 型晶体来说，

其特性是三次方程式的频率对温度特性曲线；kHz 等级的音叉型晶体的特性则为抛物线方程式。在进行最佳化的匹配时，必须针对不同晶体的温度特性来做调整。

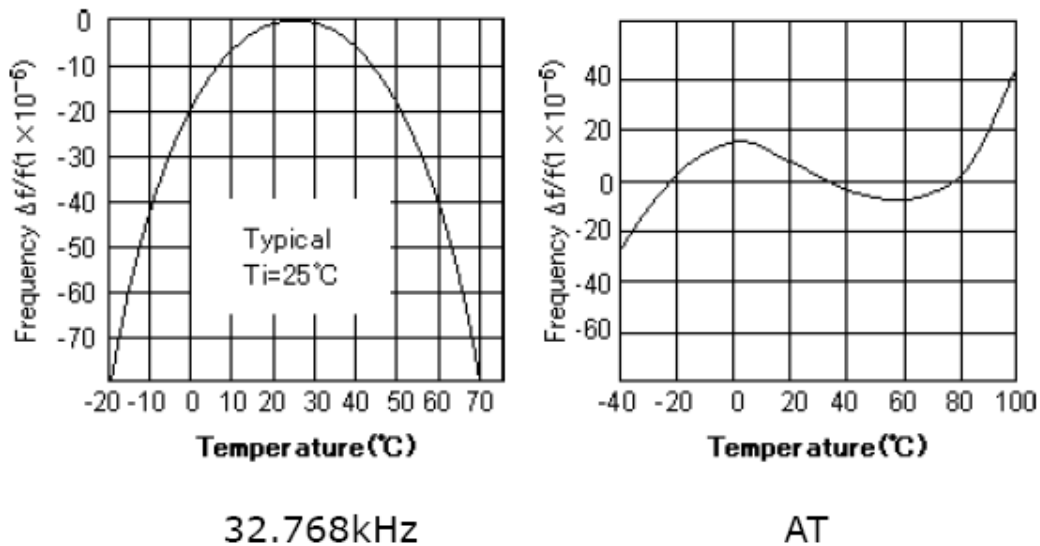


图 1 石英晶体频率—温度特性曲线

第三种误差来源来自振荡线路上的外围元器件配置，这些组件包括石英晶体、半导体 IC、外围电阻/电容，以及 PCB 走线。不同的配置方式对于振荡线路的整体误差会有很大的影响，例如电容器的摆放位置，或电容值的选取等，都需妥善的规划，才能得到最佳化的性能表现。

进行振荡线路回路分析的目的，就是为了检视石英晶体在整个振荡线路中是否得到理想的匹配。透过回路分析，研发人员可以在线路设计阶段就了解石英晶体振荡线路的匹配状况，避免在量产后才发生问题，因为再更动设计很不容易。

目前许多大厂已将振荡线路的回路分析定义为量产前的标准验证程序之一。避免在量产后才发生振荡线路不起振的问题，或是频偏误差太大等状况，倒头来还是得透过回路分析来帮忙厘清问题。

回路分析要点

振荡线路回路分析包含三个基本的面向，介绍如下：

1. 频率容许误差（Frequency Tolerance）的量测：

此项工作在于量测振荡线路电路板上的石英晶体起振后的频率，与所需求的中心频率相差多少，以了解此电路板的频偏误差范围。

频偏误差的计算公式如下：

$$\text{频偏误差} = (\text{量测频率值} - \text{中心频率值}) / \text{中心频率值} \times 1,000,000$$

（得出的单位为 ppm）。

例：如果中心频率值为 32.76800kHz，量测频率值为 32.76824kHz，频率误差则约为 +7.32ppm。不同的功能会有不同的频率容许误差，以 32.768kHz 石英晶体振荡线路来说，一天误差一秒，则相当于产生 ±11.57ppm 的频率误差。通常实时频率（RTC）的可接受值介于 0ppm 到 +10ppm，其它依功能不同，容许误差可能会有高有低。量测出振荡线路的频偏误差是相当重要的，因为若实际输出的频率超出频率容许误差太多，在实际运作上就可能造成系统不可靠的后果。例如 RTC 的时间很容易就变快或变慢、视讯影像可能从彩色变成黑白、或通讯系统因无法同步而收不到讯号资料等。

2. 驱动功率（D.L., Driver Level）：

驱动功率是指石英晶体单元的消耗功率，其单位是微瓦（ μW ），可透过量测流经石英晶体的电流，再换算求出它所消耗的功率。功率量测值应该要小于个别晶体组件在规格上所定义的最大值，其计算公式为：

$$P(\mu\text{W}) = I^2 \times R_e$$

一个振荡线路在设计上必须提供适当的功率，以让石英晶体单元开始起振并维持振荡。此功率应该越小越好，除了能更为省电外，也和线路的安定性及石英晶体的寿命有关。振荡线路若提供过高的驱动功率，也会使石英晶体的非线性特性发生变化，以及造成石英/电极/接着材料的接口恶化，进而造成振荡频率和等效阻抗的过度变化。当石英晶体

长时间在过高的驱动功率下工作，会出现不稳定的现象。以 32kHz 的石英晶体单元來說，当驱动功率过大时，有可能导致内部音叉型晶体的断裂；对于 MHz 等级的 AT 型晶体來說，则可能产生跳频现象，并影响石英晶体的寿命及可靠度。

3. 负性阻抗（也称为起振余裕）：-R

负性阻抗代表振荡线路的起振余裕状况，也就是这个线路的健康度，即石英晶体在驱动下容不容易被起振。负性阻抗并非真实发生的阻抗值，而是在石英晶体旁边外加一个电阻（RS），去仿真石英晶体内部的 ESR 被加大时，整个振荡线路是否仍能被正常起振。

负性阻抗的量测值越大越好，这表示此一振荡线路越容易被起振；负性阻抗值不足时，则表示此一振荡线路会有起振过慢的现象，甚至可能导致不起振的状况发生。负性阻抗的判断基本值是石英晶体最大 ESR 值的 3~5 倍。

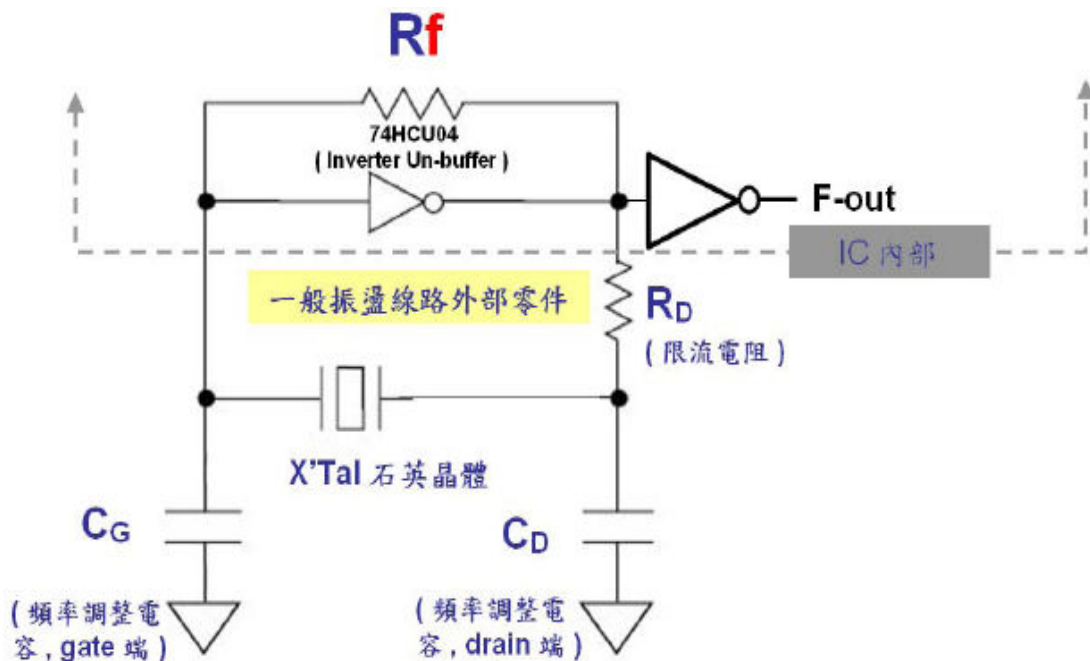


图 2 基本晶体振荡回路

回路分析与最佳化调整

在振荡线路中,很重要的一个特性是整个线路上的负载电容(CL, Load Capacitance),它是由 gate 端的频率调整电容(CG)、drain 端的频率调整电容(CD)及杂散电容(CS)等三个参数共同组成。其中负载电容及两个频率调整电容是已知的,可以透过下列公式求得杂散电容值:

$$CL = (CG // CD) + CS$$

$$CL = [(CG \times CD) / (CG + CD)] + CS$$

负载电容与线路的频率容许误差、驱动功率以及负性阻抗都有密切关系。为振荡线路进行回路分析的一个重要目的,就是透过两个频率调整电容的选择,来找出最符合负载电容的搭配。

在回路分析中可以发现一些特性:在杂散电容固定的情况下,而且 $CG = CD$ 时,当负载电容越大, $(CG // CD)$ 就会越大,这时频率容许误差(ppm)会变的更慢;反之,当 $(CG // CD)$ 减小,频率容许误差(ppm)会变的更快。请参考图3。

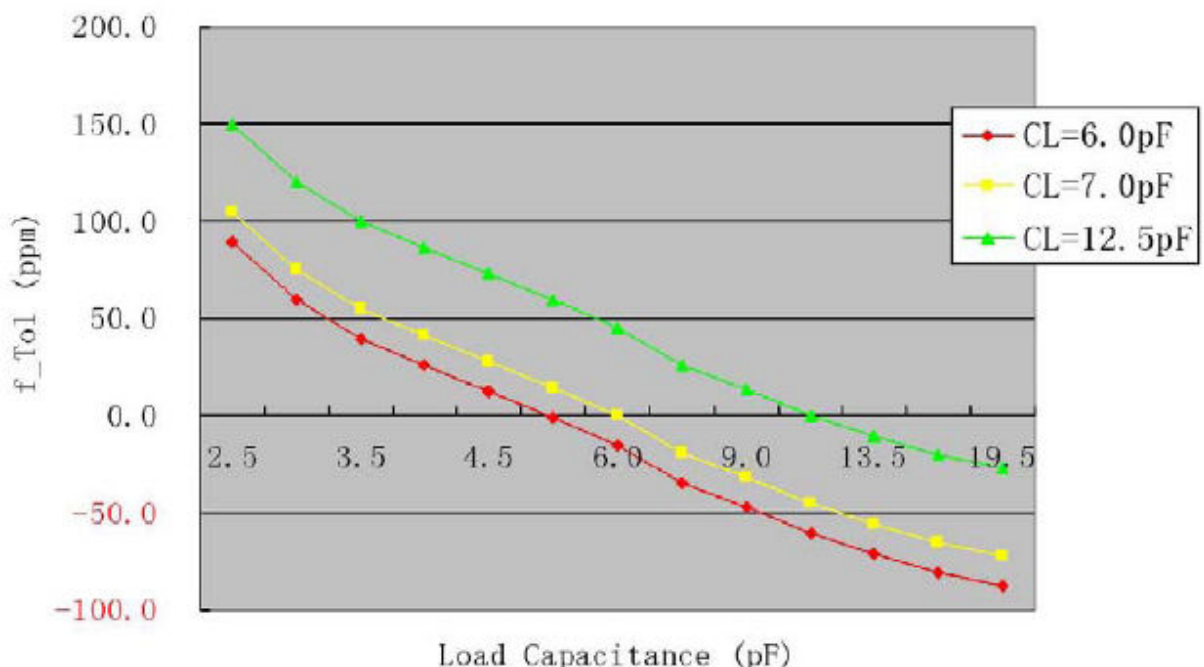


图3 负载电容与频率容许误差的关系图

(图示为实际量测案例,为单一事件,其数值不表示每一个石英组件都有相同的数值。)

此外，当负载电容变小时，负性阻抗会变大、驱动功率会变小，也就是比较容易起振，也更省电，不过容易造成较大的频率偏移。因此，一般石英业者会建议厂商选用负载电容较大的石英晶体，因为比较容易设计出稳定的振荡线路。不过，透过专业的分析与线路规划，还是有机会采用负载电容小的晶体。请参考图 4 和图 5。

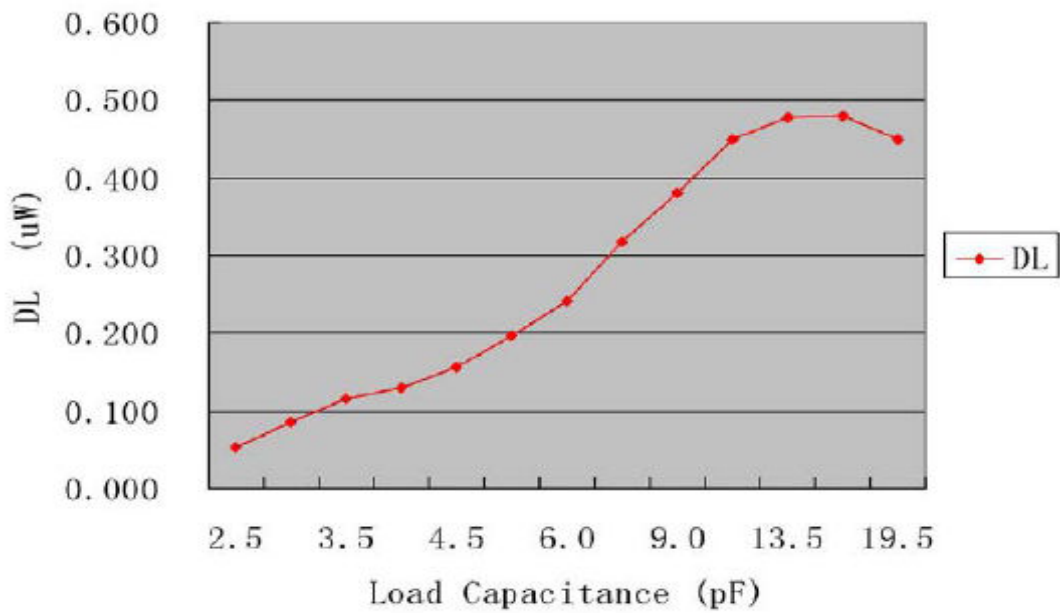


图 4 负载电容与驱动功率的关系图：当负载电容变小时，驱动功率也会变小

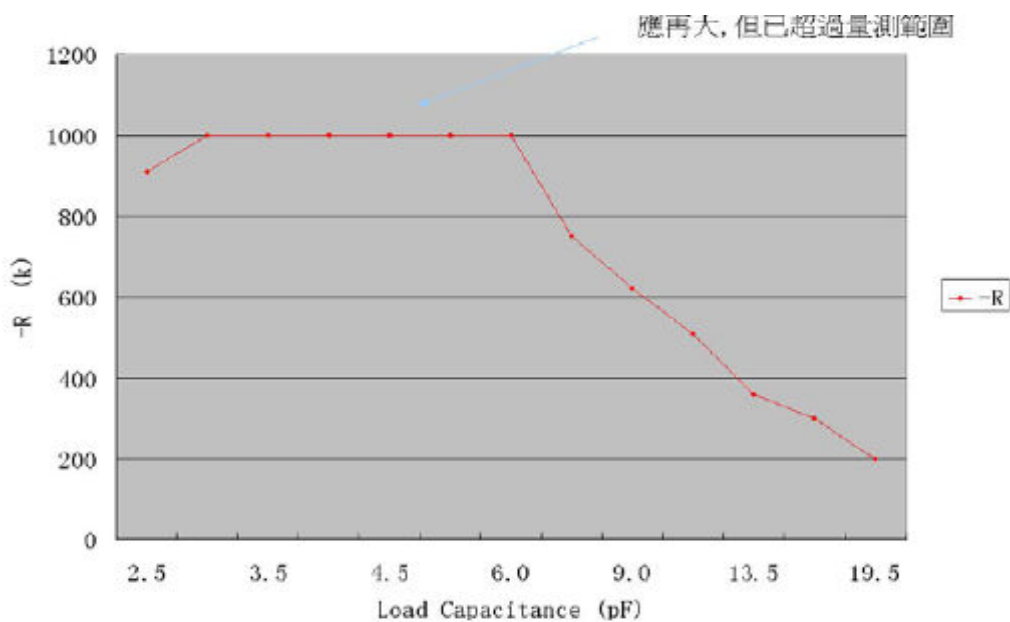


图 5 负载电容与负性阻抗的关系图：当负载电容变小时，负性阻抗会变大

(图示为实际量测案例，为单一事件，其数值不表示每一个石英组件都有相同的数值。)

换个角度来看，在杂散电容固定的情况下，当 (CG // CD) 下降，驱动功率会下降、负性阻抗则会变大；但若 (CG // CD) 太小时，Ts 会变得太长，振荡线路会变得不稳定。如果限流电阻 (Rd) 下降到太小时，石英晶体单元会运作在危险的区域，负性阻抗会快速的下降，振荡线路会变得不可靠且容易停下来。请参考图 6。

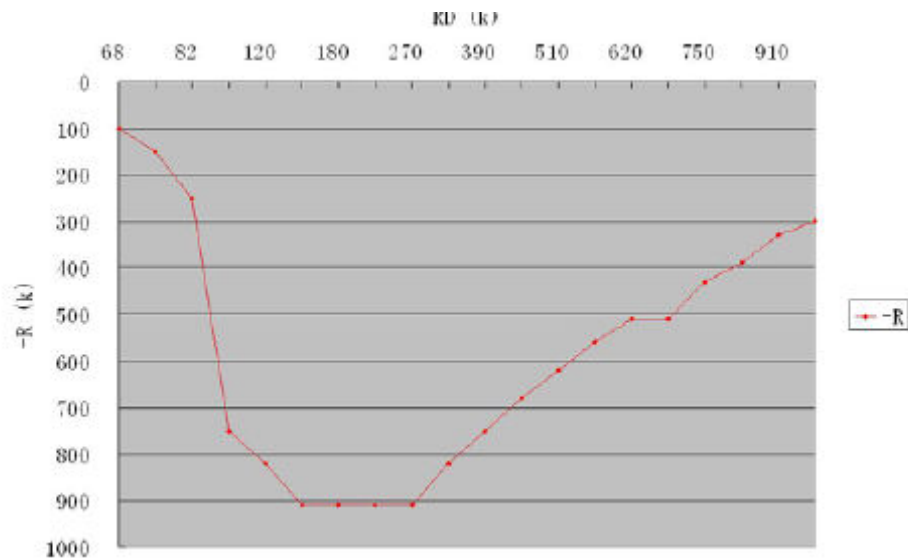


图 6 负性阻抗与限流电阻的关系图

(图示为实际量测案例，为单一事件，其数值不表示每一个石英组件都有相同的数值。)

回路分析实验室的选择重点

因石英晶体的容差值 (Tolerance) 是以 ppm 来计算，必须以非常精确的仪器才能进行正确的量测。产品制造商本身很难做的到，即使是一般的验证实验室也力有未逮。要进行精确的振荡线路回路分析，除了工程师需充分了解振荡线路特性外，实验室也必须具备能提供极高精度参考频率的仪器如原子钟，而非一般实验室使用的 OCXO 等级仪器。

另一个关键则是测试端的探棒，可分为被动式与主动式。被动式探棒成本低，但以接触式量测时会产生严重的电容效应 (约 8-15pF)，造成很大的频偏，因而无法量测到

振荡线路的起振点。主动式探棒的成本高，但本身的电容效应低，只有 1-2pF。除了使用主动式探棒之外，Epson Toyocom 进一步设计出非接触式的量测方式，可以将量测时对线路负载的影响降到最低，可量测分析到实际的线路振荡特性。

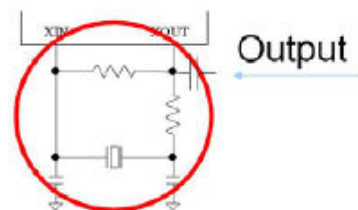
全球符合上述条件的实验室屈指可数，即使是专精石英技术的 EPSON，过去也只在日本总公司才有这样的实验室与人才。对于国内的电子厂商来说，虽然有做回路分析的需求，但往往因为送日本测试的时间成本耗费太大，让产品送测意愿普遍不高。为此，EPSON 自 2010 年 3 月起在上海成立这样的高规格实验室（使用原子钟参考频率及主动式探棒等），并将原本需要 10 天至 2 周的往返测试时间缩短到 3~5 个工作日。目前测试的产品类型从 PC 主机板、手机到各种消费性电子设备都有。

此实验室能针对厂商设计的振荡线路提供频率容许误差、驱动功率以及负性阻抗的量测，并提出频率调整电容的建议值报告。除了这些基本量测外，实验室也会针对不同的应用进行进阶的分析服务，例如量测不同电压下的频率对温度特性、找出从振荡线路起振到系统开始运作的时间，以及振荡线路可以工作的电压范围等。

振荡线路设计建议

系统开发者应该在设计初期即将振荡线路视为系统电路的一部份，在规划上为振荡线路预留标准的 Pad 焊接点，如此一来，当回路分析后发现需调整电阻或电容时，才能够方便地做修正。在系统的配置上，石英晶体单元放的位置也应尽量靠近需供应频率的 IC 芯片。

此外，有些设计者误将石英晶体单元归类为高频组件，认为其对噪讯很敏感。但事实上石英本身振荡的波型是正弦波，所以不会像方波有弹跳（Bounce）或其它噪讯的问题，



所以并不需要在振荡线路加一些防止 EMI 的线路配置。如

果设计者因为其它原因需要加一个电容在输出端，请勿加在石英晶体这端，应该加在回授电阻（Rf）旁，如图所示。

[案例分析：]

[Specifications of crystal unit]		
Model	: MC-146	
Nominal frequency(f)	: 32.768[kHz]	
Frequency tolerance	: +/-20[x10 ⁻⁶]	
Load capacitance(C _L)	: 12.5 [pF] → 7.0 [pF]	
Series resistance(R ₁)	: 65[kΩ]Max.	
Drive level(DL)	: 0.5[μW]Max.	
Negative resistance(-R) (recommended value)	: 325[kΩ]Min. (Five times or more R ₁)	
[Evaluation board]		
PCB	:	
Supply voltage	: +3.0[V]	
IC for oscillation	: MCIMX283DVM4B	Fig.-1. Oscillation circuit diagram
[Evaluation items]		
Standard	: Frequency deviation / DL / -R	

根据客户提供参数测试得到如下数据：

Status	R110 [MΩ]	R101 [kΩ]	C174 [pF]	C175 [pF]	Frequency deviation[x10 ⁻⁶]		DL [μW]	-R [kΩ]
					C _L =7.0[pF]	C _L =12.5[pF]		
Present	N.C.	0	18	18	-43.2	+4.4	0.119	220
Proposal	N.C.	0	7	6	+3.8	+51.4	0.081	1000

从测试结果看客户初始选择 Cl=12.5pF 的 MC-146 进行设计，匹配电容 C174=C175=18pF，测得精度为 +4.4 ppm 满足应用要求。同时 DL=0.119μW 也小于 0.5 μW 的要求。但是我们看到 -R 值为 220 kΩ 不满足 -R> 5* ESR 的要求。该设计存在起振缓慢或停振的风险，因此需要对回路的器件参数进行重新设定。

重新设定的原则是：使振荡回路得到的参数指标都满足设计要求。

经过测试发现 Cl=12.5pF 的 MC-146 在该系统的所有情况下都不能满足全部的参数要求，因此需要更换晶体单元。

结果显示当使用 Cl=7 pF 的 MC-146 的时候，匹配电容 C174=7pF C175=6 pF，测得精度为 +3.8 ppm 满足应用要求。同时 DL=0.081μW 也小于 0.5 μW 的要求。-R 值为 1000 kΩ 远远大于 5 倍 ESR (325 kΩ)。因此推荐客户使用该参数匹配的电路设计，可以保证得到稳定可靠的时钟频率。